

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-326890

(43)公開日 平成6年(1994)11月25日

(51)Int.Cl.<sup>5</sup>

H 04 N 5/06  
7/00

識別記号

庁内整理番号

Z

A 6942-5C

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O.L. (全 6 頁)

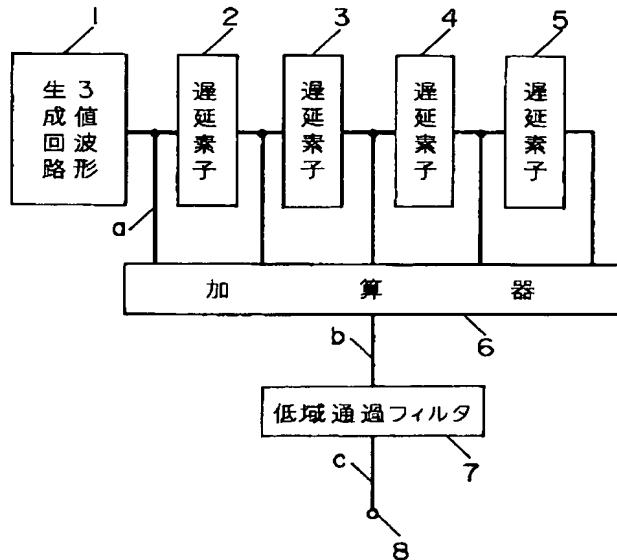
(21)出願番号	特願平5-112850	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成5年(1993)5月14日	(72)発明者	奥田 勝博 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	福島 保 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	久我 龍一郎 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	弁理士 小鍛治 明 (外2名) 最終頁に続く

(54)【発明の名称】 同期信号生成回路

(57)【要約】

【目的】 映像機器に使用される同期信号において、同期信号の立ち上がり・立ち下がりの波形を規格に準じて高精度に形成でき、簡単な構成で消費電力の少ない同期信号生成回路を提供する。

【構成】 3値波形生成回路1で立ち上がり立ち下がり波形の傾きが急峻である3値波形を生成し、3値波形生成回路1からの出力である3値波形を遅延素子2～5で所定の時間遅延させ、3値波形生成回路1からの出力である3値波形とそれぞれの遅延回路2～5から得られた波形を所定の比で加算すると、立ち上がり・立ち下がり部分が分割された階段状の波形をもつ3値波形が得られる。この3値波形を低域通過フィルタ7に通し高周波成分を除去することにより、所定の立ち上がり・立ち下がり特性を満足する3値同期信号を生成する。



## 【特許請求の範囲】

【請求項 1】入力に応答して 3 値波形を生成する 3 値波形生成手段と、生成された 3 値波形を遅延させる遅延手段を複数個有し、各々の前記遅延手段からの出力波形を加算する、もしくは、前記 3 値波形生成手段から得られた 3 値波形と各々の前記遅延手段からの出力波形を加算する加算手段と、前記加算手段からの出力信号の高周波成分を減衰させる低域通過フィルタとを具備した同期信号生成回路。

【請求項 2】少なくとも 1 つ以上の入力端子を有し、各々の前記入力端子に入力される 2 値の入力信号を遅延させる遅延手段を複数個有し、各々の前記遅延手段からの出力波形を加算する、もしくは、2 値の前記入力信号と各々の前記遅延手段からの出力波形を加算する加算手段と、前記加算手段からの出力信号の高周波成分を減衰させる低域通過フィルタとを具備した同期信号生成回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、映像機器に用いられる同期信号の生成回路に関し、特に同期信号の立ち上がり・立ち下がりの波形を規定できる同期信号生成回路に関する。

## 【0002】

【従来の技術】VTR、TV、カメラ等映像機器の接続においては、画像伝送系で、受信側の再現動作を送信側のそれと同期させるために同期信号が用いられる。同期信号の種類としては、ブラックバースト、2 値信号、3 値信号等が知られており、各々の同期信号は使用用途に応じて規格が設定されている。例えば、ハイビジョンに用いられている BTA 規格の 3 値同期信号では、同期信号のローレベル、ハイレベルのパルス幅および立ち上がり・立ち下がりの時間が規格により定められている。そして、規定の立ち上がり・立ち下がり時間により波形の傾きを決定し、3 値波形の立ち上がり波形がペデスタイルレベルを横切る零クロス点での水平同期基準位相等、基準となる信号位相を求めていた。

【0003】3 値波形を生成するには、例えば、図 2 のような比較的簡単な構成の回路において、「高」レベル、「中」レベル、「低」レベルの電圧を、制御端子に入力される制御信号に応じて切り換えることにより得られる（図 3 (a)）。しかし、一般に上記のような回路によって得られた 3 値波形（図 3 (a)）の立ち上がり立ち下がりの傾きは急峻であり、規格に定められている時間の傾きを形成することはできず、また精度も保証されない。従って、従来では、立ち上がり・立ち下がりの波形をデジタルデータで形成すること等により精度の高い 3 値信号を得ていた。

【0004】その従来の 3 値同期信号生成回路の構成例を図 6 に示す。映像機器内部の基本クロックを元にカウンタ 60、デコーダ 61 を用い、3 値信号波形を形成す

るための数ビットデジタルデータを生成する。この時、立ち上がり・立ち下がり部分の波形は使用するビット数に応じて細かく分割されたデジタルデータとなる。そのデジタルデータを D/A (デジタル/アナログ) 変換器 62 で D/A 変換した波形を図 7 (a) に示す。

【0005】波形の立ち上がり・立ち下がり部分はビット数に応じて細かく分割された階段状の波形となる。その後低域通過フィルタ 63 により高周波成分を除去し、図 7 (b) に示すようなギザギザのない 3 値同期信号を得ていた。また、3 値同期信号のデジタルデータを ROM 等のメモリーに保存し必要なタイミングで ROM から読み出されたデジタルデータを D/A 変換し、3 値同期信号を得ているものもある。

## 【0006】

【発明が解決しようとする課題】しかしながら、上述した従来の同期信号生成回路では、デジタルデータを生成するためのカウンタ、デコーダ等の回路及び高速の D/A 変換器を必要とし、回路が複雑となる上、消費電力の増大を招く。またさらにメモリーを用いる方式でも同様に回路規模と、消費電力の点で問題となっていた。

【0007】本発明は、このような問題点を解決し、簡単な回路構成で規格に定められた時間での立ち上がり・立ち下がり波形をもつ 3 値信号を形成でき、しかも消費電力の小さい同期信号生成回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の同期信号生成回路は、入力信号を遅延させる遅延手段を複数個有し、入力信号または各々の遅延手段からの出力を加算する加算手段と、加算手段からの出力信号の高周波成分を減衰させる低域通過フィルタとを具備することを特徴とする。

## 【0009】

【作用】上記構成の本発明の同期信号生成回路は、同期信号波形の立ち上がり・立ち下がりの波形を、遅延手段により得られた信号波形を加算し低域通過フィルタで波形の高周波成分を除去することにより形成する。

## 【0010】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。図 1 は、本発明の一実施例における同期信号生成回路の構成図である。

【0011】図 1 において、1 は 3 値波形を生成する 3 値波形生成手段である 3 値波形生成回路、2 ~ 5 は 3 値波形生成回路 1 で生成された 3 值波形を所定の期間遅延させる遅延手段である遅延素子、6 は 3 値波形及び各遅延素子からの出力波形を所定の比で加算する加算手段である加算器、7 は 加算器 6 からの出力信号の高周波成分を減衰させる低域通過フィルタ、8 は出力端子である。

【0012】次に、本実施例における同期信号生成回路の動作を説明する。まず、3 値波形生成回路 1 は、例え

ば前述した図2のような比較的簡単な構成の回路で実現できる。3値波形は、「高」レベル、「中」レベル、「低」レベルの電圧を、制御端子に入力される制御信号に応じて切り換えることより、図3(a)に示すような3値の矩形波が得られるが、一般に上記のような回路によって得られた3値波形(図3(a))の立ち上がり立ち下がり波形の傾きは急峻であり、規格に定められている時間の傾きには形成されていないことは従来の技術で述べた。

【0013】3値波形生成回路1で生成されたこのような3値波形(図3(a))を入力し遅延素子2~5で所定の時間遅延させ、3値波形生成回路1からの出力である3値波形とそれぞれの遅延回路2~5から得られた波形を所定の比で加算すると、立ち上がり・立ち下がり部分が、分割された階段状の波形をもつ3値波形が得られる(図3(b))。この3値波形を低域通過フィルタ7に通し高周波成分を除去することにより、所定の立ち上がり・立ち下がり特性を満足する3値同期信号(図3(c))を生成する。

【0014】このときの3値同期信号の立ち上がり・立ち下がりの波形の分割数は遅延素子の個数により決まり、立ち上がり・立ち下がりの時間 $t_1$ (図3(c))は各々の遅延素子の遅延時間の合計により決まる。従って、遅延素子の遅延時間を適当に設定することにより規格に準じた所望の立ち上がり・立ち下がり波形をもつ3値同期信号を形成できる。

【0015】次に、2値信号を入力信号とし、規格に定められた立ち上がり・立ち下がり時間をもつ3値信号を生成する本発明における他の実施例の回路構成図を図4に示す。

【0016】図4において、9、10は2値信号を入力するための入力端子、11はクロックの入力端子、12~19はクロックにより動作するシフトレジスタ、20~29は入力信号及びシフトレジスタからの出力を所定の比で加算する抵抗、30は加算された信号の高周波成分を減衰させる低域通過フィルタ、31は出力端子である。この実施例では、遅延手段にシフトレジスタ、加算手段に抵抗比による加算を用いている。

【0017】まず、2値信号から3値信号を生成する一方法として、3値波形を「中」レベルから「高」レベルの波形部(図5(a))と、「低」レベルから「中」レベルの波形部(図5(b))に分割し、それぞれの波形を2値信号で形成した後合成する(図5(c))方法が挙げられる。本実施例の同期信号生成回路は上記の方法を元に、規格に定められた立ち上がり・立ち下がり時間をもつ3値信号を生成する。

【0018】以下に、図4と、波形図(図5(a), (b), (d), (e))を用いて回路動作を説明する。入力端子9、10には、それぞれ(図5(a), (b))に示すような2値のデジタル信号を入力する。

入力端子9に入力される波形(図5(a))は3値同期信号の「中」レベルから「高」レベルの波形を、入力端子10に入力される波形(図5(b))は「低」レベルから「中」レベルの波形を形成するデジタル信号である。

【0019】各入力端子9、10に入力された2値のデジタル信号は、入力端子11から入力されるクロックに応じてクロック周期分だけ遅延され、各々のシフトレジスタ12~19から出力される。各々のシフトレジスタからの出力波形を抵抗20~29の所定の抵抗比に従って加算することにより、立ち上がり・立ち下がり部分が、分割された階段状の波形をもつ3値波形が得られる(図5(d))。この3値波形を低域通過フィルタ30に通し、高周波成分を除去することにより、所定の立ち上がり・立ち下がり特性を満足する3値同期信号(図3(e))を生成する。

【0020】このときの3値同期信号の立ち上がり・立ち下がりの波形の分割数はシフトレジスタの個数により決まり、立ち上がり・立ち下がりの時間 $t_2$ (図5(e))は各々のシフトレジスタによって生じる遅延時間により決まる。従って、シフトレジスタに入力されるクロック周波数を調節し、適当な遅延時間を設定することにより、規格に準じた所望の立ち上がり・立ち下がり波形をもつ3値同期信号を形成できる。

【0021】  
【発明の効果】以上のように本発明の同期信号生成回路は、簡単な回路構成で規格に準じた高精度の同期信号の立ち上がり・立ち下がりの波形を形成でき、また、D/A変換器、メモリー等を必要としないため、簡単な構成で実現できる上、消費電力を抑えることが可能となるという大きな効果を有する。

#### 【図面の簡単な説明】

【図1】本発明の一実施例における同期信号生成回路の構成を示すブロック図

【図2】3値波形生成回路の一例を示す図

【図3】図1の実施例の動作を説明する波形図

【図4】本発明の他の実施例の同期信号生成回路の構成を示すブロック図

【図5】図4の実施例の動作を説明する波形図

【図6】従来の同期信号生成回路の一例を示すブロック図

【図7】図7の従来例の動作を説明する波形図

#### 【符号の説明】

1 3値波形生成回路

2~5 遅延素子

6 加算器

7 低域通過フィルタ

8 出力端子

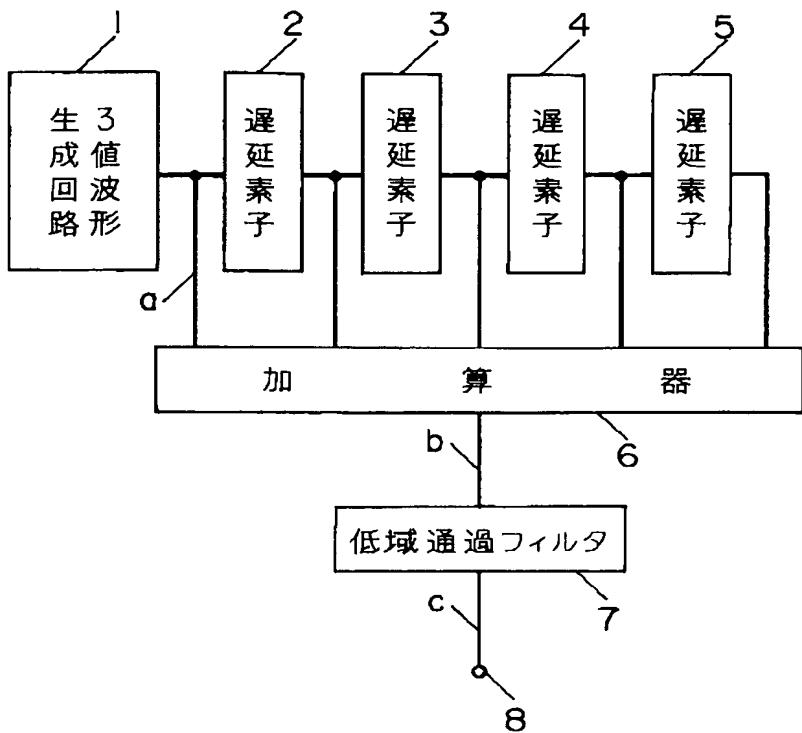
9、10 入力端子

11 クロックの入力端子

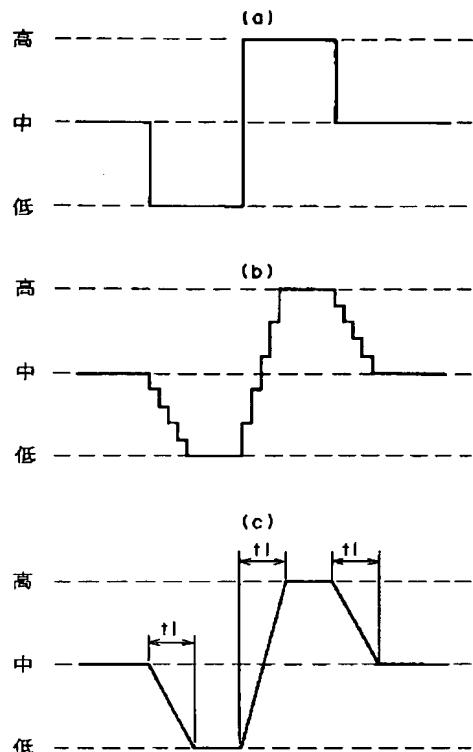
12~19 シフトレジスタ  
20~29 抵抗

30 低域通過フィルタ  
31 出力端子

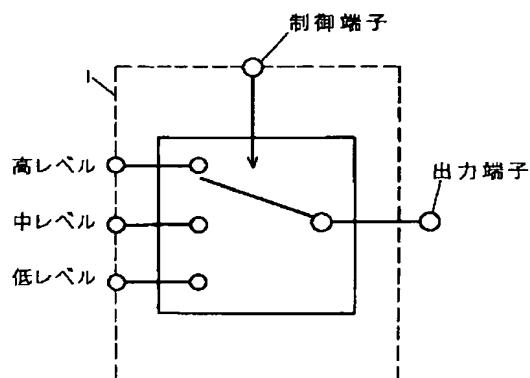
【図1】



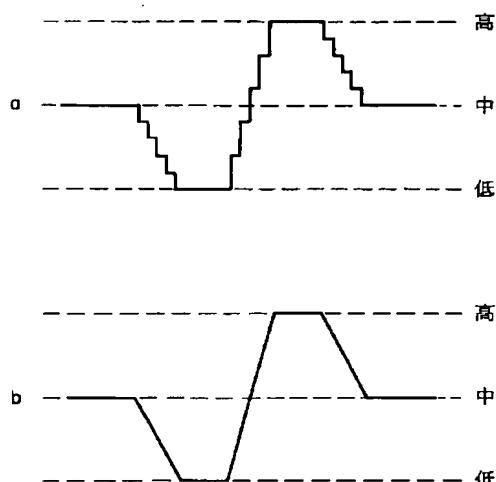
【図3】



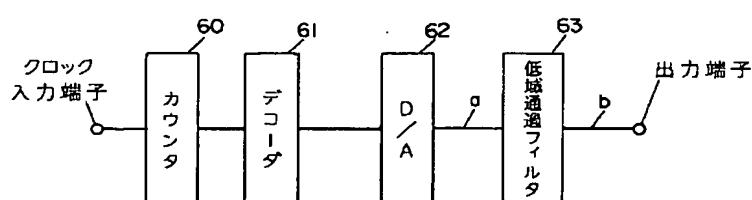
【図2】



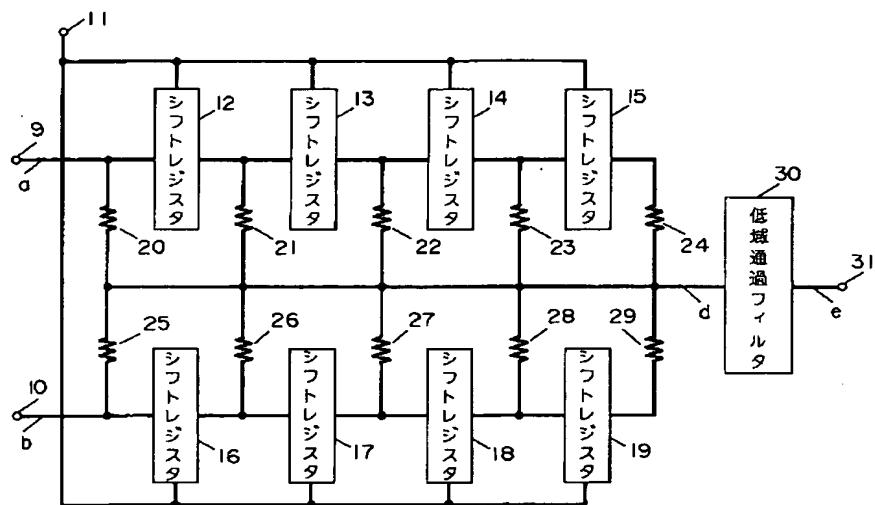
【図7】



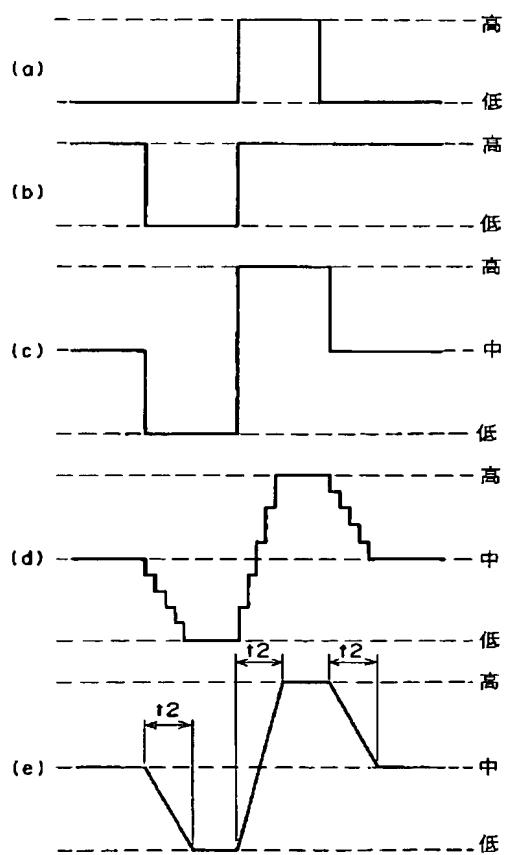
【図6】



【図 4】



【図 5】



フロントページの続き

(72)発明者 長 秀雄  
神奈川県横浜市港北区綱島東四丁目 3番 1  
号 松下通信工業株式会社内